

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-84160

(43) 公開日 平成8年(1996)3月26日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 L 25/06

9199-5K

H 0 4 B 10/28

10/26

10/14

H 0 4 B 9/00

Y

審査請求 有 請求項の数 5 O L (全 6 頁) 最終頁に続く

(21) 出願番号

特願平6-217404

(22) 出願日

平成6年(1994)9月12日

(71) 出願人 000161253

宮城日本電気株式会社

宮城県黒川郡大和町吉岡字雷神2番地

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 井波 大二郎

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 佐藤 勇一

宮城県黒川郡大和町吉岡字雷神2番地 宮城日本電気株式会社内

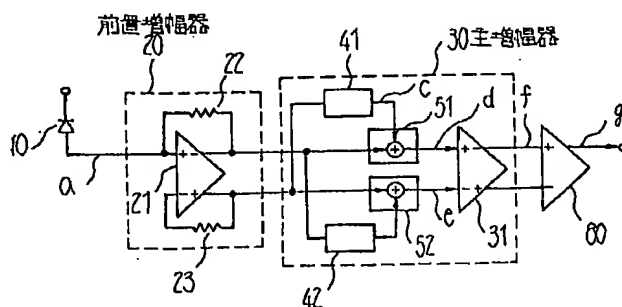
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 光受信回路

(57) 【要約】

【目的】 光受信回路におけるオフセットに起因する出力波形のデューティ劣化をなくする。

【構成】 受光素子10に入力した光信号は電流に変換され、前置増幅器20で増幅される。増幅された受信信号は、主増幅器30で更に増幅された後、比較器80で基準のしきい値と比較されて論理値「1」あるいは「0」に識別される。主増幅器30はピークホールド回路41、42、加算器51、52、および差動増幅器31で構成される。



## 【特許請求の範囲】

【請求項1】 入力する光信号を電気信号に変換する光電気変換素子と、その変換された電気信号を入力とし正相信号および逆相信号を送出する差動形の前置増幅器と、前記正相信号を入力とする少くとも1つの第1のピークホールド回路と前記逆相信号を入力とする少くとも1つの第2のピークホールド回路と前記逆相信号および前記第1のピークホールド回路の送出信号を加算する第1の加算器と前記同相信号および前記第2のピークホールド回路の送出信号を加算する第2の加算器と前記第1および第2の加算器の送出信号を入力とする差動増幅器とをもつ主増幅器と、該差動増幅器の2つの送出信号の高低に応じて2値信号を出力する比較器とを備えていることを特徴とする光受信回路。

【請求項2】 前記第1および第2の加算器はそれぞれ、一端を前記ピークホールド回路の送出端に接続した第1の抵抗と、一端を前記前置増幅器の送出端に接続した第2の抵抗とを有し、該第1および第2の抵抗の各他端を前記差動増幅器の入力端に接続して構成されている請求項1に記載の光受信回路。

【請求項3】 前記第1および第2の加算器はそれぞれ、前記差動増幅器の送出端から入力端へ帰還接続した第3の抵抗を有する請求項2に記載の光受信回路。

【請求項4】 前記第1および第2のピークホールド回路はそれぞれ、正ピークホールド用と負ピークホールド用の2つのホールド回路からなる請求項1に記載の光受信回路。

【請求項5】 前記主増幅器を複数段縦続接続して、最終段の送出信号を前記比較器に与えるよう構成してある請求項1に記載の光受信回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は光受信回路に関し、特にPDS（パッシブ・ダブル・スター）光伝送システムや光イーサネット通信方式などでバースト状のデジタル・データを伝送する装置に使われる光受信回路に関する。

## 【0002】

【従来の技術】図8は、従来の光受信回路の構成を例示する回路図である（例えば、米国特許5,025,456号を参照）。同図の回路は、任意のデータ・パターンを伝送できるよう、各ブロック間は直流結合されている。

【0003】受光素子10に入力した光信号は電流に変換され、前置増幅器20に入力され所定の振幅まで増幅される。前置増幅器20は、差動増幅器21、帰還抵抗22、23、及びピークホールド回路24で構成される。増幅された受信信号は、比較器80により所定のしきい値を基準として、それよりも高いかあるいは低いかに応じ論理値「1」あるいは「0」と識別される。

【0004】図9は、図8の回路がバースト状のデータを受信するときの、各部の信号波形図である。図8の回路が信号待機状態すなわちピークホールド回路24のホールド容量が放電状態であるとき、図9(a)の様なバースト信号が入力されると、(b)の様なピークホールド回路24の出力波形が得られ、バースト信号の先頭ビットのピーク電圧を検出し保持する。後述するように、前置増幅回路20の電流－電圧変換利得（出力電圧振幅／入力電流振幅＝ $V_o/I_i$ ）は、ピークホールド回路24の状態により、2通りの値を持ち、 $t_1$ は、このピークホールド回路の状態の切り替わりを示す時点である。

【0005】すなわち、 $t < t_1$ の期間 $t$ においては、ピークホールド回路24は充電過程にあり、その出力電圧は入力電圧に追従する。従って、抵抗23を介して差動増幅器21の正相出力電圧が21の逆相入力に帰還され、 $V_o/I_i = R_f/2$ となる。一方、 $t > t_1$ においては、ピークホールド回路24は充電を完了しているので、その出力電圧は入力電圧に関わらずピーク値を保持し一定である。従って、差動増幅器21の逆相入力は接地電位に接続された等価であり、 $V_o/I_i = R_f$ となる。

【0006】従って、 $t_1$ を境に増幅率が2倍になり、前置増幅回路20の出力は(c)に示すようになる。比較器80で、基準値((c)の破線で示した)と比較する事により、(d)で示すように論理値「1」あるいは「0」に識別される。

## 【0007】

【発明が解決しようとする課題】上述した従来の光受信回路には2つの問題点がある。

【0008】まず第1の問題点は、オフセット等のアナログ的な誤差により、出力波形のデューティ比が著しい変動を受けることである。すなわち、差動増幅器21にオフセットが存在すると、その出力波形は図8(e)に示すようなレベル変動を呈する。このオフセットは、比較器80の基準電圧の調整により初期調整は可能であるが、温度や電源等の環境条件まで考慮して調整する事は不可能であり、その結果として比較器80の出力波形は、(f)に示すようにデューティ比が変動してしまう。

【0009】このように出力デューティが変動する事により、特に受信信号レベルが小さい場合に、データ識別余裕が著しく劣化し、受信回路の最小入力レベルを限定してしまう。さらに、バーストデータを扱う受信装置では、高速に動作引き込みを行うために、データの立ち上がり立ち下りの両エッジの情報を元にタイミング抽出する方法が一般に取られる。このため、デューティ変動に起因する抽出クロックのジッタの増加や引き込み特性の劣化を生じる。

【0010】第2の問題点は、差動増幅器21にフィー

ドバック・ループを構成して使用しているため、発振マージンを確保した設計を要し、適用信号帯域や増幅率に著しい制約が生じることである。

#### 【0011】

【課題を解決するための手段】本発明の回路は、入力する光信号を電気信号に変換する光電気変換素子と、その変換された電気信号を入力とし正相信号および逆相信号を送出する差動形の前置増幅器と、前記正相信号を入力とする少くとも1つの第1のピークホールド回路と前記逆相信号を入力とする少くとも1つの第2のピークホールド回路と前記逆相信号および前記第1のピークホールド回路の送出信号を加算する第1の加算器と前記同相信号および前記第2のピークホールド回路の送出信号を加算する第2の加算器と前記第1および第2の加算器の送出信号を入力とする差動増幅器とをもつ主増幅器と、該差動増幅器の2つの送出信号の高低に応じて2値信号を出力する比較器とを備えている。

#### 【0012】

【実施例】次に、本発明について図面を参照して説明する。

【0013】図1は、本発明の第1の実施例を表すブロック図である。従来回路と同様に、任意のデータ・パターンを伝送するため、各ブロック間は直流結合されている。受光素子10に入力した光信号は電流に変換され、前置増幅器20に入力され所定の振幅まで増幅される。前置増幅器20は、差動増幅器21、帰還抵抗22、23で構成される。増幅された受信信号は、主増幅器30で更に所望のレベル迄増幅された後、比較器80により所定のしきい値を基準に、論理値「1」あるいは「0」に識別される。主増幅器30は、ピークホールド回路41および42、加算器51および52、ならびに差動増幅器31で構成される。

【0014】図2は、図1の回路がバースト状のデータを受信するときの、各部の信号波形図である。図1の回路が信号待機状態すなわちピークホールド回路41および42のホールド容量が放電状態であるとき、図2

(a)の様なバースト信号が入力されると、(b)の様な前置増幅器20の正相出力及び逆相出力の波形が得られ、一点鎖線で示したゼロレベルに対しオフセット成分を有している。オフセット電圧を $V_{off}$ 、出力電圧振幅を $V_i$ とすれば、正相信号は $V_{off} \sim V_{off} + V_i$ 、逆相信号は $-V_{off} \sim -V_{off} - V_i$ の間のレベル範囲になる。(c)はピークホールド回路41および42の出力波形であり、ピークホールド回路41は正相出力のピーク値 $V_{off} + V_i$ を、ピークホールド回路42は逆相出力のピーク値 $-V_{off}$ を検出してホールド出力する。(d)および(e)は、それぞれ加算器51および52の出力波形であるが、両出力波形ではオフセット電圧 $V_{off}$ が完全に相殺し消去される。加算器51および52の出力波形を差動増幅器31で所望の

レベルまで増幅すれば(f)のような信号波形を得る。なお、Kは差動増幅器31の利得を表す。比較器80で基準値と比較する事により、(g)で示すように論理値「1」あるいは「0」に識別される。

【0015】以上説明したように、本実施例では、前置増幅器20の正相および逆相の両出力をおのおののピークホールド回路41および42に与え、加算器51および52にフィードフォワード接続した構成により、入力信号や前置増幅器のオフセットによる出力波形のデューティ劣化を生じなくなり、受信信号レベルが小さい場合でも、データ識別余裕が劣化しない。また抽出クロックのジッタの増加や引き込み特性の劣化も生じない。更に、差動増幅器31にフィードバック・ループを構成してないので、従来回路のような発振の問題がなくなり、適用信号帯域や増幅率の制限が緩和され、特に低消費電力化に有利である。

【0016】図3は、本発明の第2の実施例を表すブロック図である。本実施例では、図1中の加算器51は直列接続された抵抗54および53で、また加算器52は直列接続された抵抗57および56で構成され、それぞれの共通端子が加算器の出力端に相当し、差動増幅器31に接続される。抵抗54、53、57、56の抵抗値を全て等しくRに設定すると、それぞれ、利得 $1/2$ の加算器として機能する。図1では主増幅器30の利得がKであるのに対して、図3では $K/2$ になっているが、基本動作は図1と何等変わらない。

【0017】図4は、本発明の第3の実施例を表すブロック図である。本実施例では、図1の加算器51は抵抗54および53と、差動増幅器31および帰還抵抗61とで構成され、また加算器52は抵抗57および56と、差動増幅器31および帰還抵抗62で構成され、加算器が差動増幅器31と一体化した構成になっている。抵抗54、53、57、56の抵抗値を全て等しくRと設定し、帰還抵抗 $K \cdot R$ と設定すると、主増幅器30の利得はKとなり、図1と等しい動作をする。

【0018】図5は、本発明の第4の実施例を表すブロック図である。主増幅器30は、ピークホールド回路41および42、負のピークホールド回路43および44、抵抗53ないし58、差動増幅器31および帰還抵抗61、62で構成される。

【0019】図6は、図5の回路がバースト状のデータを受信するときの、各部の信号波形図である。図2と同様に信号待機状態すなわちピークホールド回路41ないし44のホールド容量が放電状態であるとき、図6

(a)の様なバースト信号が入力されたときの動作を考える。(b)は前置増幅器20の正相出力及び逆相出力の波形であり、一点鎖線で示したゼロレベルに対しオフセット成分を有している。オフセット電圧を $V_{off}$ 、出力電圧振幅を $V_i$ とすれば正相信号は $V_{off} \sim V_{off} + V_i$ 、逆相信号は $-V_{off} \sim -V_{off} - V_i$

の間のレベル範囲で出力される。(c)はピークホールド回路41および42の出力波形であり、ピークホールド回路41は正相出力のピーク値 $V_{off} + V_i$ を、ピークホールド回路42は逆相出力のピーク値 $-V_{off}$ を検出し出力する。(d)は負のピークホールド回路43および44の出力波形であり、ピークホールド回路43は正相出力の負のピーク値 $V_{off}$ を、ピークホールド回路44は逆相出力の負のピーク値 $-V_{off} - V_i$ を検出し出力する。

【0020】例えば抵抗54, 55, 57, 58の抵抗値を全て等しく $2R$ とし、抵抗53, 56を $R$ 、61, 62を $K \cdot R$ とする。図6(e)および(f)はそれぞれ、差動増幅器31の入力端子に流入する電流波形であるが、いずれもオフセット電圧 $V_{off}$ が完全に相殺し消去される。差動増幅器31とその帰還抵抗61および62により電流電圧変換し所望のレベルまで増幅すれば(g)の信号波形を得る。比較器80で基準値と比較する事により、(h)で示すように論理値「1」あるいは「0」に識別される。

【0021】図7は、本発明の第5の実施例を表すブロック図である。前置増幅器20の出力はまず第1段目の主増幅器30で増幅された後、第2段目の主増幅器70で更に増幅され、比較器80で論理値「1」あるいは「0」に識別される。主増幅器30および70は、前述の第1ないし第4の実施例のいずれの構成でも良く、継続接続にした事により、一段当たりの所要利得を減らす事が可能になる。更に、主増幅器70に対する要求精度は、主増幅器30の利得に応じて大幅に緩和する事が可能である。

【0022】

【発明の効果】以上説明したように本発明によれば、正相および逆相の各ピークをホールドしフィードフォワード接続して加算させることにより、入力信号や前置増幅器のオフセットによる出力波形のデューティ劣化を生じなくなり、受信信号レベルが小さい場合でもデータ識別余裕が劣化しない。またオフセットに起因する抽出クロックのジッタの増加や引き込み特性の劣化も生じなくなる。更に、差動増幅器にフィードバック・ループを構成する必要がないから、発振の問題がなくなり、適用信号帯域や増幅率の制限が緩和される。

【図面の簡単な説明】

【図1】本発明の第1の実施例のブロック図。

【図2】図1の各部の信号波形図。

【図3】本発明の第2の実施例のブロック図。

【図4】本発明の第3の実施例のブロック図。

【図5】本発明の第4の実施例のブロック図。

【図6】図5の各部の信号波形図。

【図7】本発明の第5の実施例のブロック図。

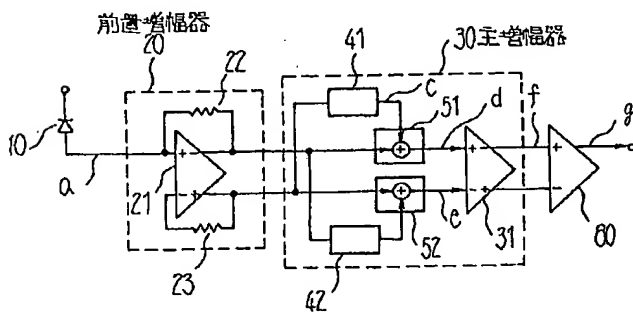
【図8】従来の光受信回路を例示するブロック図。

【図9】図7の各部の信号波形図。

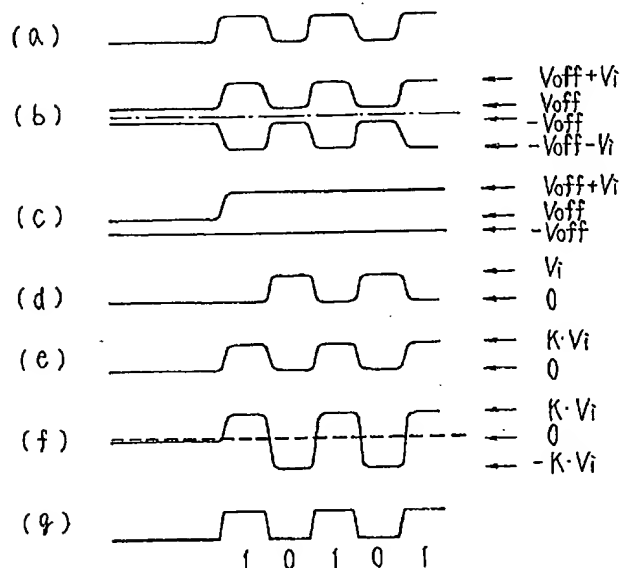
【符号の説明】

- |                         |             |  |
|-------------------------|-------------|--|
| 10                      | 光電気変換素子     |  |
| 20                      | 前置増幅器       |  |
| 21, 31                  | 差動増幅器       |  |
| 22, 23, 53ないし58, 61, 62 | 抵抗          |  |
| 24, 41, 42              | ピークホールド回路   |  |
| 30, 70                  | 主増幅器        |  |
| 43, 44                  | 負のピークホールド回路 |  |
| 51, 52                  | 加算器         |  |
| 80                      | 比較器         |  |

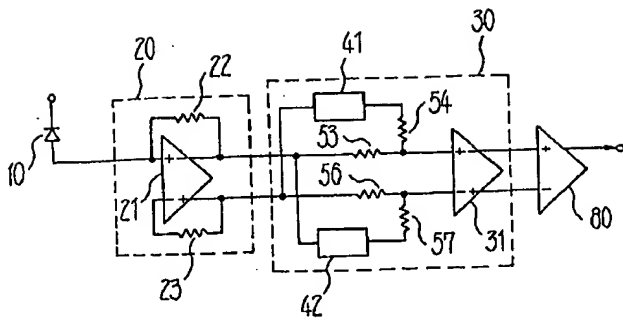
【図1】



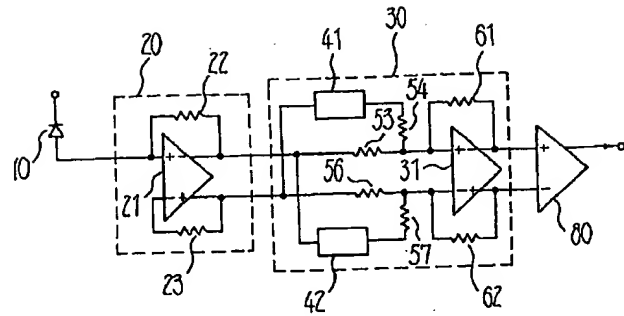
【図2】



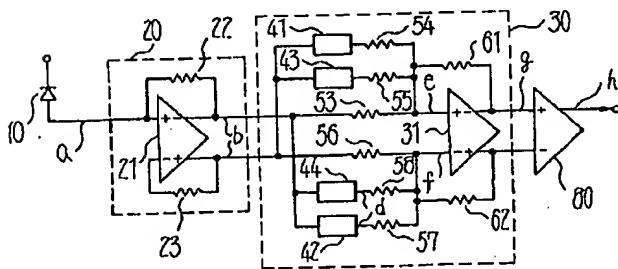
【図3】



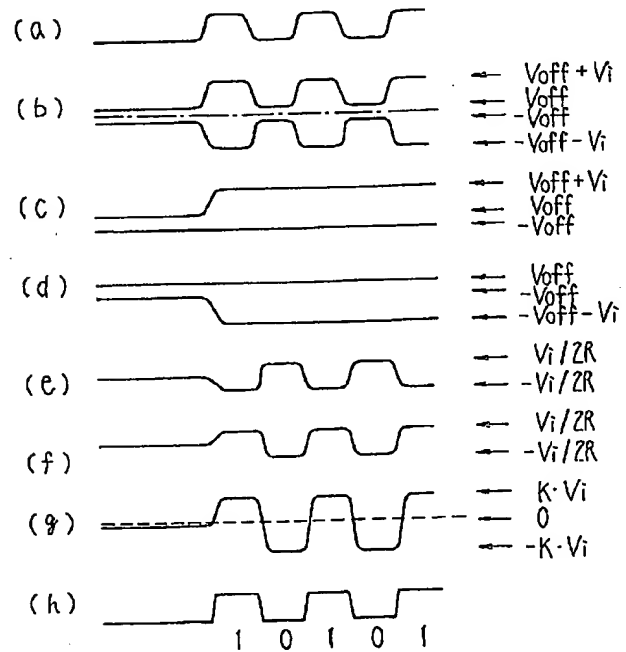
【図4】



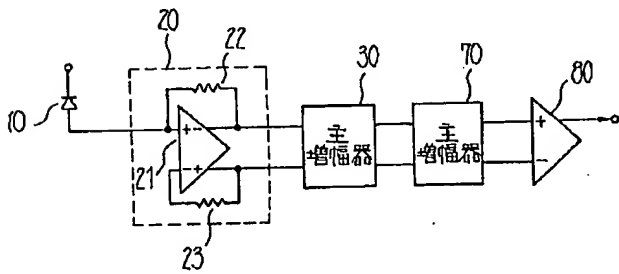
【図5】



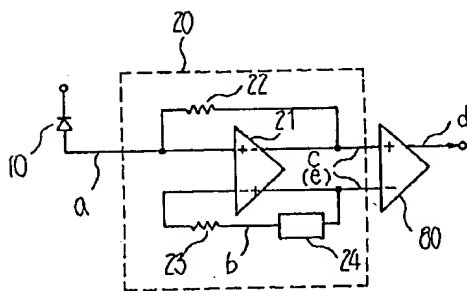
【図6】



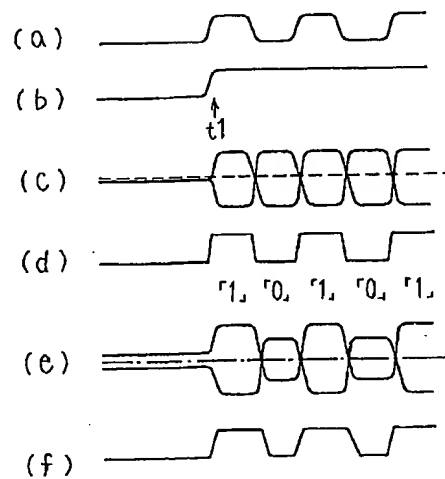
【図7】



【図8】



【図9】



フロントページの続き

(51) Int. Cl. 6

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 B 10/04

10/06